

Korean Patent Abstracts

(11) Publication Number: 1999-0050864
(43) Date of publication of application : 05.07.1999

(21) Application number: 1997-0070055
(22) Date of filing: 17.12.1997

(71) Applicant: LG Semiconductor Co. Ltd. Bon-Jun GU

1 Hyangjeong-dong, Heungdeok-gu, Cheongju-si,
Chungcheongbuk-do Republic of Korea

(72) Inventor: Sang-Hyun KIM

A-1519 Deoksung Apt., Bokdae-dong, Heungdeok-gu, Cheongju-si,
Chungcheongbuk-do, Republic of Korea

(74) Attorney: Yong-In KIM, Yong-Bok GANG

(51) Int'. CI H01L 27/108

(54) Method of manufacturing a capacitor

(57) Abstract:

The present invention relates to a method of manufacturing a capacitor for a highly integrated semiconductor device. An oxidation prevention layer is formed on a lower electrode of the capacitor by treating the lower electrode using NH₄ plasma so that the capacitor has an increased capacitance by preventing a dielectric constant of a dielectric layer from reducing. The method of manufacturing the capacitor includes a step of forming the oxidation prevention layer by treating a surface of the lower electrode using NH₄ plasma, a step of forming the dielectric layer on the oxidation prevention layer, a step of thermally treating the resultant structure, and a step of forming an upper electrode on the dielectric layer.

COPYRIGHT 2001 KIPO

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. H01L 27/108	(11) 공개번호 (43) 공개일자	특1999-0050864 1999년07월05일
(21) 출원번호 10-1997-0070055		
(22) 출원일자 1997년12월17일		
(71) 출원인 엘지반도체 주식회사, 구본준 대한민국 361480 충청북도 청주시 흥덕구 향정동 1번지		
(72) 발명자 김상현 대한민국 361-020 충청북도 청주시 흥덕구 복대동 덕성아파트 A-1519		
(74) 대리인 김용인 강용복 있음		
(77) 심사청구 거파시터 제조방법		

요약

본 발명은 고집적화에 적당한 거파시터 제조방법에 관한 것으로써, 거파시터 하부전극의 표면을 NH₃ 플라즈마 처리하여 거파시터 하부전극상에 산화방지막을 형성함으로써, 거파시터 유전막의 유전상수의 저하를 방지하여 거파시턴스를 증가시키는데 적당한 거파시터 제조방법을 제공하기 위한 것으로써, 고집적화에 따른 거파시터 제조에 있어서, 거파시터 상부전극의 표면을 NH₃ 플라즈마 처리하여 산화방지막을 형성하는 공정과, 상기 산화방지막상에 거파시터 유전막을 형성한 후, 열처리하는 공정과, 상기 거파시터 유전막상에 거파시터 상부전극을 형성하는 공정으로 이루어지는 것을 특징으로 한다.

대표도

도3a

명세서

도면의 간단한 설명

도 1a 내지 1b는 종래 제 1 실시예에 따른 거파시터 제조방법을 설명하기 위한 공정단면도

도 2a 내지 2b는 종래 제 2 실시예에 따른 거파시터 제조방법을 설명하기 위한 공정단면도

도 3a 내지 3c는 본 발명의 거파시터 제조방법을 설명하기 위한 공정단면도 도면의 주요부분에 대한 부호의 설명

11 : 거파시터 하부전극

12 : Ta₂O₅

13 : 실리콘 산화막

14 : 거파시터 상부전극

15 : 실리콘질화막

발명의 상세한 설명**발명의 목적**

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자에 관한 것으로 특히, 고집적화에 유리한 반도체소자의 거파시터 제조방법에 관한 것이다.

일반적으로 디램(DRAM)에 있어서, 소자의 집적도가 향상됨에 따라 거파시터 유전막의 유전율이 중요한 문제로 대두되었다.

현재 고집적화에 따라 가장 널리 사용되고 있는 유전막으로써는 Ta₂O₅이다.

그러나 고집적화에 따라 워드라인(Word Line)이나 비트라인(Bit Line)을 메탈로 사용하는 경우, 특히 COB(Capacitor Over Bitline)구조에서는 거파시터 제조시 공정온도를 낮추어야 하는 공정상의 어려움이 발생한다.

이하, 종래기술에 따른 거파시터 제조방법을 첨부된 도면을 참조하여 설명하기로 한다.

도 1a 내지 1b는 종래 제 1 실시예에 따른 거파시터 제조방법을 설명하기 위한 공정단면도이다.

도 1a에 도시한 바와같이, 거파시터 하부전극(11)상에 거파시터 유전막으로 사용되는 Ta₂O₅(12)를 증착한다.

이후, ○

2. 분위기에서 열처리를 실시한다.

이때, 도 1b에 도시된 바와같이 상기 커패시터 하부전극(11)과, 상기 Ta_2O_5 (12)사이에 실리콘산화막(13)이 형성된다.

통상, 커패시터 전극물질은 폴리실리콘을 사용하기 때문에 O_2 분위기에서 열처리할 경우, 상기 폴리실리콘의 표면에 산화막이 성장된다.

이어, 상기 Ta_2O_5 (12)상에 커패시터 상부전극(14)을 형성하면 종래 제 1 실시예에 따른 커패시터 제조공정이 완료된다.

여기서, 상기 Ta_2O_5 (12)와 커패시터 하부전극(11)상에 형성된 실리콘산화막(13)으로 인하여 커패시터 유전막의 유전상수값이 저하되어 커패시턴스가 감소하게 되는데 이와같은 문제점을 해결하기 위해 상기 커패시터 하부전극(11)상에 실리콘질화막을 형성하는 방법이 제안되었다.

한편, 도 2a 내지 2b는 종래 제 2 실시예에 따른 커패시터 제조방법을 설명하기 위한 공정단면도로써, 커패시터 하부전극상에 실리콘질화막을 형성한 예를 도시한 것이다.

도 2a에 도시한 바와같이 커패시터 하부전극(11)상에 850°C 이상의 고온조건에서 NH_3 를 흘로우(flow)시켜 실리콘질화막(15)을 형성한다.

이후, 도 2b에 도시한 바와같이, 상기 실리콘질화막(15)상에 커패시터 유전막으로써, Ta_2O_5 (12)를 증착한다.

그리고 상기 Ta_2O_5 (12)상에 커패시터 상부전극(14)을 형성하면 종래 제 2 실시예에 따른 커패시터 제조공정이 완료된다.

발명이 이루고자 하는 기술적 과제

그러나 상기와 같은 종래 커패시터 제조방법은 다음과 같은 문제점이 있었다.

첫째, 종래 제 1 실시예에서와 같이, 커패시터 하부전극상에 연속하여 Ta_2O_5 를 증착할 경우, 열처리시 Ta_2O_5 와 커패시터 하부전극 사이에 실리콘산화막이 성장되어 커패시터 유전막으로 사용되는 Ta_2O_5 의 유전상수값을 감소시킨다.

이와같은 유전상수값의 감소는 결국, 커패시턴스의 저하를 초래하게 된다.

둘째, 종래 제 2 실시예의 경우, 커패시터 하부전극상에 실리콘질화막을 형성하기 위해서는 850°C 이상의 고온이 요구되지만, 비트라인을 텅스텐(W)과 같은 메탈을 사용할 경우, 600~700°C 이하에서 커패시터를 형성하여야 하므로 실리콘질화막 형성공정을 적용할 수가 없다.

본 발명은 상기한 문제점을 해결하기 위해 안출한 것으로써, 커패시터 유전막으로 사용되는 Ta_2O_5 를 증착하기 이전에 NH_3 플라즈마 처리를 통해 커패시터 하부전극상에 실리콘질화막을 형성함으로써, 저온조건에서도 실리콘질화막을 형성함과 동시에 커패시터 유전막의 유전상수가 저하되는 것을 방지하여 커패시턴스를 증가시키는데 적당한 커패시터 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 커패시터 제조방법은 고집적화에 따른 커패시터 제조에 있어서, 커패시터 상부전극의 표면을 NH_3 플라즈마 처리하여 산화방지막을 형성하는 공정과, 상기 산화방지막상에 커패시터 유전막을 형성한 후, 열처리하는 공정과, 상기 커패시터 유전막상에 커패시터 상부전극을 형성하는 공정으로 이루어지는 것을 특징으로 한다.

이하, 본 발명에 커패시터 제조방법을 첨부된 도면을 참조하여 설명하기로 한다.

도 3a 내지 3c는 본 발명의 커패시터 제조방법을 설명하기 위한 공정단면도이다.

본 발명의 커패시터 제조방법은 도 3a에 도시한 바와같이, 커패시터 하부전극(11)을 형성하고, 상기 커패시터 하부전극(11)의 표면을 NH_3 플라즈마 처리를 실시하여 상기 커패시터 하부전극(11)상에 실리콘질화막(15)을 형성한다.

이때, 상기 플라즈마 처리시 공정온도는 400~600°C를 유지한다.

이와같이 플라즈마 처리를 통해 커패시터 하부전극(11)상에 실리콘질화막(15)을 형성한 후, 도 3b에 도시한 바와같이, 상기 실리콘질화막(15)상에 커패시터 유전막으로 사용되는 Ta_2O_5 (12)를 증착한다.

이후, O_2 분위기에서 열처리를 실시한 다음, 도 3c에 도시한 바와같이 상기 Ta_2O_5 (12)상에 커패시터 상부전극(14)을 형성하면 본 발명에 따른 커패시터 제조공정이 완료된다.

여기서, 상기 실리콘질화막(15)은 O_2 분위기에서 열처리를 실시할 때, 상기 Ta_2O_5 (12)와 커패시터 하부전극(11)사이에 실리콘산화막이 생기지 않도록 베리어 역할을 한다.

발명의 효과

이상 상술한 바와같이, 본 발명의 커패시터 제조방법은 다음과 같은 효과가 있다.

첫째, 커패시터 유전막으로 사용되는 Ta_2O_5 증착 후 열처리시 상기 커패시터 하부전극의 표면이 산화되는 것을 방지한다.

둘째, 저온에서 플라즈마 처리를 통해 실리콘질화막을 형성하므로 비트라인을 텅스텐(W)과 같은 메탈을 사용하는 경우에도 적용할 수 있다.

(57) 청구의 범위

청구항 1.

고집적화에 따른 커패시터 제조에 있어서,

커패시터 상부전극의 표면을 NH_3

③ 플라즈마 처리하여 산화방지막을 형성하는 공정과,

상기 산화방지막상에 커패시터 유전막을 형성한 후, 열처리하는 공정과.

상기 커패시터 유전막상에 커패시터 상부전극을 형성하는 공정으로 이루어지는 것을 특징으로 하는 커패시터 제조방법.

청구항 2.

제 1 항에 있어서,

상기 산화방지막은 실리콘질화막인 것을 특징으로 하는 커패시터 제조방법.

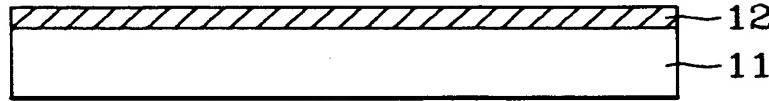
청구항 3.

제 1 항에 있어서,

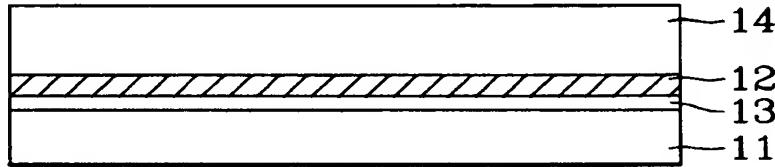
상기 커패시터 유전막은 Ta_2O_5 인 것을 특징으로 하는 커패시터 제조방법.

도면

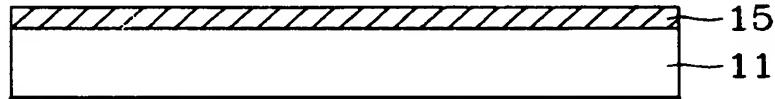
도면 1a



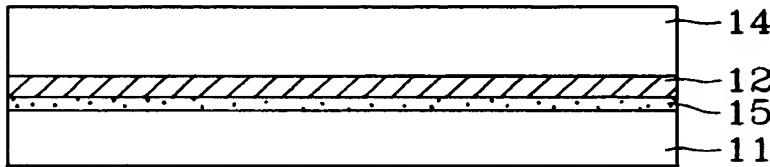
도면 1b



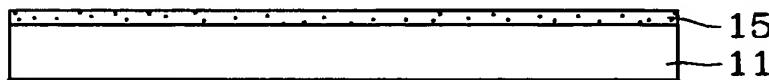
도면 2a



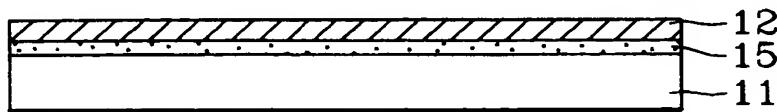
도면 2b



도면 3a



도면 3b



도면 3c

